



(12)发明专利申请

(10)申请公布号 CN 110211527 A
(43)申请公布日 2019.09.06

(21)申请号 201910387301.7

(22)申请日 2019.05.10

(71)申请人 深圳市华星光电半导体显示技术有限公司

地址 518132 广东省深圳市光明新区公明街道塘明大道9-2号

(72)发明人 周依芳 徐鉉植

(74)专利代理机构 深圳翼盛智成知识产权事务所(普通合伙) 44300

代理人 黄威

(51)Int.Cl.

G09G 3/32(2016.01)

H01L 27/15(2006.01)

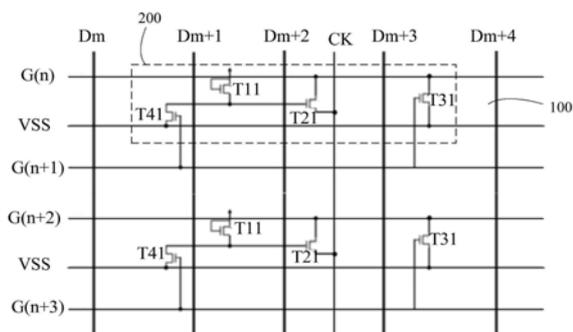
权利要求书1页 说明书4页 附图1页

(54)发明名称

Micro LED显示面板及显示装置

(57)摘要

本申请提供了一种Micro LED显示面板,包括:GOA驱动电路、多条数据线、多条扫描线以及多个像素单元;所述多条扫描线和所述多条数据线纵横交错设置,且相邻两条所述扫描线和相邻两条数据线之间围成像素区以形成多个阵列排布的像素区,每一所述像素区设置有一所述像素单元;所述GOA驱动电路包括多个级联的GOA单元,每一行所述像素区内设置一级GOA单元,其中,第n行扫描线与第n+1行扫描线之间的GOA单元为第n级GOA单元,且所述第n级GOA单元分别与所述第n行扫描线与第n+1行扫描线连接。本申请通过将GOA驱动电路的各个GOA单元分别设置到像素区内,从而减小了边框尺寸,提高了屏占比。



1. 一种Micro LED显示面板,其特征在于,包括:GOA驱动电路、多条数据线、多条扫描线以及多个像素单元;

所述多条扫描线和所述多条数据线纵横交错设置,且相邻两条所述扫描线和相邻两条数据线之间围成像素区以形成多个阵列排布的像素区,每一所述像素区设置有一所述像素单元;

所述GOA驱动电路包括多个级联的GOA单元,每一行所述像素区内设置一级GOA单元,其中,第n行扫描线与第n+1行扫描线之间的GOA单元为第n级GOA单元,且所述第n级GOA单元分别与所述第n行扫描线与第n+1行扫描线连接。

2. 根据权利要求1所述的Micro LED显示面板,其特征在于,所述GOA单元包括多个薄膜晶体管,所述多个薄膜晶体管分别位于不同的像素区内。

3. 根据权利要求2所述的Micro LED显示面板,其特征在于,所述第n级GOA单元包括第一薄膜晶体管、第二薄膜晶体管、第三薄膜晶体管以及第四薄膜晶体管;

所述第一薄膜晶体管的栅极与所述第一薄膜晶体管的漏极连接并与上一级的扫描信号输出端连接,所述第一薄膜晶体管的源极分别与所述第四薄膜晶体管的漏极以及所述第二薄膜晶体管的栅极连接;所述第二薄膜晶体管的漏极接入时钟信号,所述第二薄膜晶体管的源极与第n行的扫描线连接,所述第三薄膜晶体管的栅极与第n+1级扫描线连接,所述第三薄膜晶体管的漏极与所述第n行的扫描线连接,所述第三薄膜晶体管的源极以及所述第四薄膜晶体管的源极接入低电平信号。

4. 根据权利要求3所述的Micro LED显示面板,其特征在于,所述第四薄膜晶体管位于第m列像素区内,所述第一薄膜晶体管位于第m+1列像素区内,所述第二薄膜晶体管位于第m+2列像素区内,所述第三薄膜晶体管位于第m+3列像素区内。

5. 根据权利要求4所述的Micro LED显示面板,其特征在于,所述m等于1。

6. 根据权利要求4所述的Micro LED显示面板,其特征在于,所述Micro LED显示面板还包括用于提供低电平信号的低电平信号线,所述低电平信号线沿着所述扫描线的方向延伸,所述第三薄膜晶体管的源极以及所述第四薄膜晶体管的源极与所述低电平信号线电连接。

7. 根据权利要求6所述的Micro LED显示面板,其特征在于,所述Micro LED显示面板还包括用于提供时钟信号的时钟信号线,所述时钟信号线沿着所述数据线的方向延伸,所述第二薄膜晶体管的漏极与所述时钟信号线连接。

8. 根据权利要求4所述的Micro LED显示面板,其特征在于,每一行的GOA单元的所述第四薄膜晶体管位于第m列像素区内,每一行的GOA单元的所述第一薄膜晶体管位于第m+1列像素区内,每一行的GOA单元的所述第二薄膜晶体管位于第m+2列像素区内,每一行的GOA单元的所述第三薄膜晶体管位于第m+3列像素区内。

9. 根据权利要求4所述的Micro LED显示面板,其特征在于,所述第一薄膜晶体管、第二薄膜晶体管、第三薄膜晶体管以及第四薄膜晶体管均为氧化物半导体薄膜晶体管。

10. 一种显示装置,其特征在于,包括如权利要求1-9任一项所述的Micro LED显示面板。

Micro LED显示面板及显示装置

技术领域

[0001] 本申请涉及显示技术领域,特别涉及一种Micro LED显示面板及显示装置。

背景技术

[0002] Micro-LED是一种将LED结构微小化和矩阵化,对每一个像素点单独驱动和定址控制的显示技术。由于Micro-LED技术的亮度、寿命、对比度、反应时间、能耗、可视角度和分辨率等各种指标均优于LCD和OLED技术,被视为能超越OLED及传统LED的新一代显示技术。

[0003] 但是,现有技术中,Micro LED显示面板都需要在其显示区域的四周边缘设置GOA电路,导致Micro LED显示面板存在边框,有效显示面积较小,屏占比较低。

[0004] 因此,现有技术存在缺陷,急需改进。

发明内容

[0005] 本申请提供一种Micro LED显示面板及显示装置,可以提高屏占比。

[0006] 本申请提供了一种Micro LED显示面板,包括:GOA驱动电路、多条数据线、多条扫描线以及多个像素单元;

[0007] 所述多条扫描线和所述多条数据线纵横交错设置,且相邻两条所述扫描线和相邻两条数据线之间围成像素区以形成多个阵列排布的像素区,每一所述像素区设置有一所述像素单元;

[0008] 所述GOA驱动电路包括多个级联的GOA单元,每一行所述像素区内设置一级GOA单元,其中,第 n 行扫描线与第 $n+1$ 行扫描线之间的GOA单元为第 n 级GOA单元,且所述第 n 级GOA单元分别与所述第 n 行扫描线与第 $n+1$ 行扫描线连接。

[0009] 在本申请所述的Micro LED显示面板中,所述GOA单元包括多个薄膜晶体管,所述多个薄膜晶体管分别位于不同的像素区内。

[0010] 在本申请所述的Micro LED显示面板中,所述第 n 级GOA单元包括第一薄膜晶体管、第二薄膜晶体管、第三薄膜晶体管以及第四薄膜晶体管;

[0011] 所述第一薄膜晶体管的栅极与所述第一薄膜晶体管的漏极连接并与上一级的扫描信号输出端连接,所述第一薄膜晶体管的源极分别与所述第四薄膜晶体管的漏极以及所述第二薄膜晶体管的栅极连接;所述第二薄膜晶体管的漏极接入时钟信号,所述第二薄膜晶体管的源极与第 n 行的扫描线连接,所述第三薄膜晶体管的栅极与第 $n+1$ 级扫描线连接,所述第三薄膜晶体管的漏极与所述第 n 行的扫描线连接,所述第三薄膜晶体管的源极以及所述第四薄膜晶体管的源极接入低电平信号。

[0012] 在本申请所述的Micro LED显示面板中,所述第四薄膜晶体管位于第 m 列像素区内,所述第一薄膜晶体管位于第 $m+1$ 列像素区内,所述第二薄膜晶体管位于第 $m+2$ 列像素区内,所述第三薄膜晶体管位于第 $m+3$ 列像素区内。

[0013] 在本申请所述的Micro LED显示面板中,所述 m 等于1。

[0014] 在本申请所述的Micro LED显示面板中,所述Micro LED显示面板还包括用于提供

低电平信号的低电平信号线,所述低电平信号线沿着所述扫描线的方向延伸,所述第三薄膜晶体管的源极以及所述第四薄膜晶体管的源极与所述低电平信号线电连接。

[0015] 在本申请所述的Micro LED显示面板中,所述Micro LED显示面板还包括用于提供时钟信号的时钟信号线,所述时钟信号线沿着所述数据线的方向延伸,所述第二薄膜晶体管的漏极与所述时钟信号线连接。

[0016] 在本申请所述的Micro LED显示面板中,每一行的GOA单元的所述第四薄膜晶体管位于第m列像素区内,每一行的GOA单元的所述第一薄膜晶体管位于第m+1列像素区内,每一行的GOA单元的所述第二薄膜晶体管位于第m+2列像素区内,每一行的GOA单元的所述第三薄膜晶体管位于第m+3列像素区内。

[0017] 在本申请所述的Micro LED显示面板中,所述第一薄膜晶体管、第二薄膜晶体管、第三薄膜晶体管以及第四薄膜晶体管均为氧化物半导体薄膜晶体管。

[0018] 一种显示装置,包括上述任一项所述的Micro LED显示面板。

[0019] 本申请通过将GOA驱动电路的各个GOA单元分别设置到像素区内,从而减小了边框尺寸,提高了屏占比。

附图说明

[0020] 为了更清楚地说明实施例或现有技术中的技术方案,下面将对实施例或现有技术描述中所需要使用的附图作简单介绍,显而易见地,下面描述中的附图仅仅是申请的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

[0021] 图1是本申请一些实施例中的一种Micro LED显示面板的结构图。

[0022] 图2是本申请一些实施例中的第N级GOA单元的电路结构图。

具体实施方式

[0023] 下面详细描述本发明的实施方式,所述实施方式的示例在附图中示出,其中自始至终相同或类似的标号表示相同或类似的元件或具有相同或类似功能的元件。下面通过参考附图描述的实施方式是示例性的,仅用于解释本发明,而不能理解为对本发明的限制。

[0024] 在本发明的描述中,需要理解的是,术语“中心”、“纵向”、“横向”、“长度”、“宽度”、“厚度”、“上”、“下”、“前”、“后”、“左”、“右”、“竖直”、“水平”、“顶”、“底”、“内”、“外”、“顺时针”、“逆时针”等指示的方位或位置关系为基于附图所示的方位或位置关系,仅是为了便于描述本发明和简化描述,而不是指示或暗示所指的装置或元件必须具有特定的方位、以特定的方位构造和操作,因此不能理解为对本发明的限制。此外,术语“第一”、“第二”仅用于描述目的,而不能理解为指示或暗示相对重要性或者隐含指明所指示的技术特征的数量。由此,限定有“第一”、“第二”的特征可以明示或者隐含地包括一个或者更多个所述特征。在本发明的描述中,“多个”的含义是两个或两个以上,除非另有明确具体的限定。

[0025] 在本发明的描述中,需要说明的是,除非另有明确的规定和限定,术语“安装”、“相连”、“连接”应做广义理解,例如,可以是固定连接,也可以是可拆卸连接,或一体地连接;可以是机械连接,也可以是电连接或可以相互通讯;可以是直接相连,也可以通过中间媒介间接相连,可以是两个元件内部的连通或两个元件的相互作用关系。对于本领域的普通技术

人员而言,可以根据具体情况理解上述术语在本发明中的具体含义。

[0026] 在本发明中,除非另有明确的规定和限定,第一特征在第二特征之“上”或之“下”可以包括第一和第二特征直接接触,也可以包括第一和第二特征不是直接接触而是通过它们之间的另外的特征接触。而且,第一特征在第二特征“之上”、“上方”和“上面”包括第一特征在第二特征正上方和斜上方,或仅仅表示第一特征水平高度高于第二特征。第一特征在第二特征“之下”、“下方”和“下面”包括第一特征在第二特征正下方和斜下方,或仅仅表示第一特征水平高度小于第二特征。

[0027] 下文的公开提供了许多不同的实施方式或例子用来实现本发明的不同结构。为了简化本发明的公开,下文中对特定例子的部件和设置进行描述。当然,它们仅仅为示例,并且目的不在于限制本发明。此外,本发明可以在不同例子中重复参考数字和/或参考字母,这种重复是为了简化和清楚的目的,其本身不指示所讨论各种实施方式和/或设置之间的关系。此外,本发明提供了的各种特定的工艺和材料的例子,但是本领域普通技术人员可以意识到其他工艺的应用和/或其他材料的使用。

[0028] 请同时参阅图1以及图2,图1是本发明一些实施例中的一种Micro LED显示面板的结构图。该Micro LED显示面板包括:GOA驱动电路、多条数据线Dm、多条扫描线G(n)、多个像素单元、低电平线VSS、时钟信号线CK。

[0029] 其中,该多条扫描线G(n)和所述多条数据线Dm纵横交错设置,且相邻两条所述扫描线G(n)和相邻两条数据线Dm之间围成像素区100以形成多个阵列排布的像素区100,每一所述像素区100置有一所述像素单元。

[0030] 具体地,该GOA驱动电路包括多个级联的GOA单元200,每一行所述像素区100内设置一级GOA单元200,其中,第n行扫描线G(n)与第n+1行扫描线G(n+1)之间的GOA单元200为第n级GOA单元,且所述第n级GOA单元分别与所述第n行扫描线G(n)与第n+1行扫描线G(n+1)连接。

[0031] 在一些实施例中,该GOA单元包括多个薄膜晶体管,所述多个薄膜晶体管分别位于不同的像素区内。GOA单元采用薄膜晶体管连接形成属于现有技术,其可以采用各种连接方式形成各种GOA单元。

[0032] 具体地,在本实施例中,该第n级GOA单元包括第一薄膜晶体管T11、第二薄膜晶体管T21、第三薄膜晶体管T31以及第四薄膜晶体管T41;该第一薄膜晶体管T11的栅极与所述第一薄膜晶体管T11的漏极连接并与上一级的扫描信号输出端连接,所述第一薄膜晶体管T11的源极分别与所述第四薄膜晶体管T41管的漏极以及所述第二薄膜晶体管T21的栅极连接;所述第二薄膜晶体管T21的漏极接入时钟信号,所述第二薄膜晶体管T21的源极与第n行的扫描线连接,所述第三薄膜晶体管T31的栅极与第n+1级扫描线连接,所述第三薄膜晶体管T31的漏极与第n行的扫描线连接,所述第三薄膜晶体管T31的源极以及所述第四薄膜晶体管T41的源极接入低电平信号。

[0033] 其中,该第四薄膜晶体管T41位于第m列像素区100内,所述第一薄膜晶体管T11位于第m+1列像素区100内,所述第二薄膜晶体管T21位于第m+2列像素区100内,所述第三薄膜晶体管T31位于第m+3列像素区100内。其中,该m等于1。

[0034] 该低电平信号线VSS用于提供低电平信号,所述低电平信号线VSS沿着所述扫描线的方向延伸,所述第三薄膜晶体管T31的源极以及所述第四薄膜晶体管T41的源极与所述低

电平信号线VSS电连接。

[0035] 该时钟信号线CK用于提供时钟信号,时钟信号线CK沿着所述数据线的方向延伸,所述第二薄膜晶体管的漏极与所述时钟信号线连接。

[0036] 其中,每一行的GOA单元的所述第四薄膜晶体管位于第m列像素区内,每一行的GOA单元的所述第一薄膜晶体管位于第m+1列像素区内,每一行的GOA单元的所述第二薄膜晶体管位于第m+2列像素区内,每一行的GOA单元的所述第三薄膜晶体管位于第m+3列像素区内。从而可以减少时钟信号线的条数,使得所有GOA单元可以共用该条时钟信号线。

[0037] 在一些实施例中,该第一薄膜晶体管T11、第二薄膜晶体管T21、第三薄膜晶体管T31以及第四薄膜晶体管T41均为NMOS管,且为氧化物半导体薄膜晶体管。

[0038] 本申请通过将GOA驱动电路的各个GOA单元分别设置到像素区内,从而减小了边框尺寸,提高了屏占比。

[0039] 本申请还提供了一种显示装置,包括上述任一项所述的Micro LED显示面板。

[0040] 综上所述,虽然本申请已以优选实施例揭露如上,但上述优选实施例并非用以限制本申请,本领域的普通技术人员,在不脱离本申请的精神和范围内,均可作各种更动与润饰,因此本申请的保护范围以权利要求界定的范围为准。

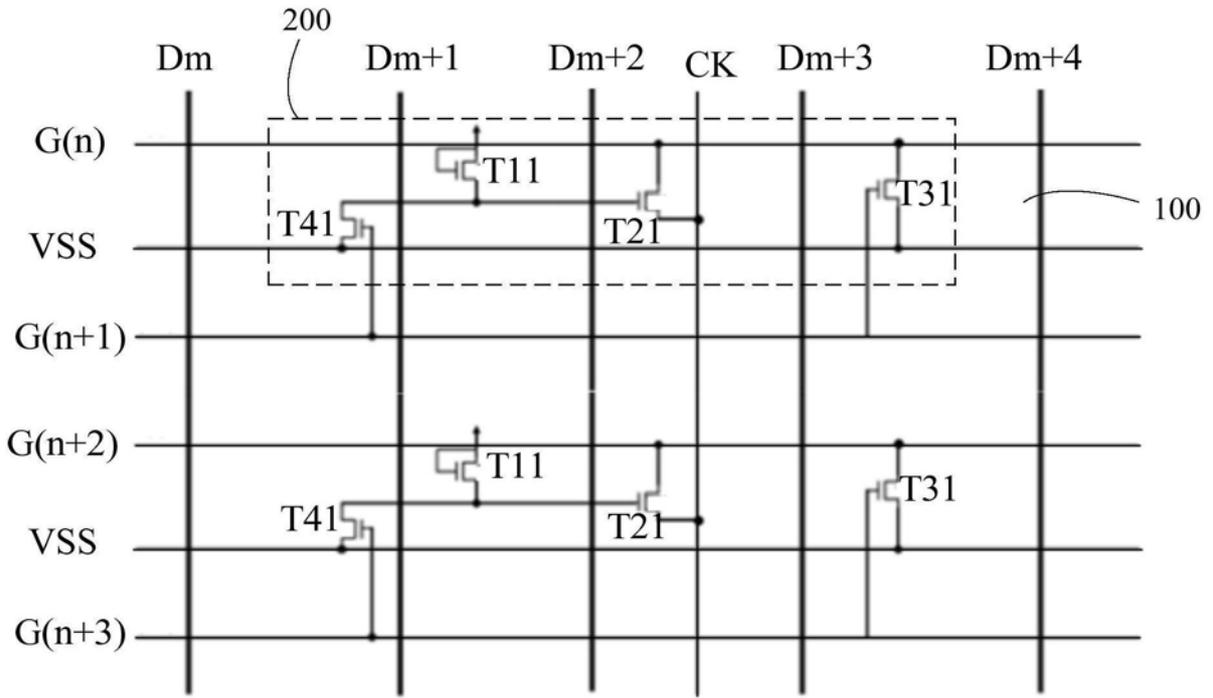


图1

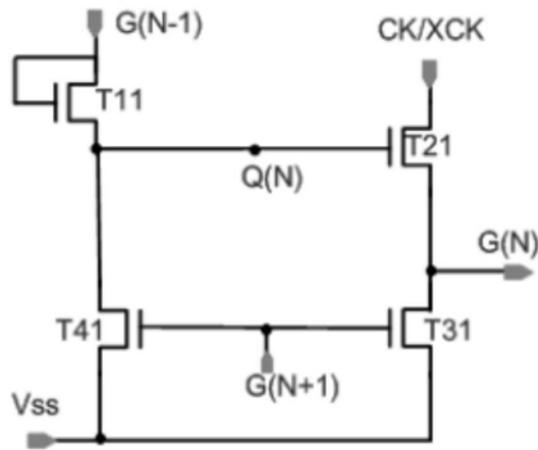


图2

专利名称(译)	Micro LED显示面板及显示装置		
公开(公告)号	CN110211527A	公开(公告)日	2019-09-06
申请号	CN201910387301.7	申请日	2019-05-10
[标]申请(专利权)人(译)	深圳市华星光电技术有限公司		
[标]发明人	周依芳 徐钲植		
发明人	周依芳 徐钲植		
IPC分类号	G09G3/32 H01L27/15		
CPC分类号	G09G3/32 H01L27/156		
代理人(译)	黄威		
外部链接	Espacenet SIPO		

摘要(译)

本申请提供了一种Micro LED显示面板，包括：GOA驱动电路、多条数据线、多条扫描线以及多个像素单元；所述多条扫描线和所述多条数据线纵横交错设置，且相邻两条所述扫描线和相邻两条数据线之间围成像素区以形成多个阵列排布的像素区，每一所述像素区设置有一所述像素单元；所述GOA驱动电路包括多个级联的GOA单元，每一行所述像素区内设置一级GOA单元，其中，第n行扫描线与第n+1行扫描线之间的GOA单元为第n级GOA单元，且所述第n级GOA单元分别与所述第n行扫描线与第n+1行扫描线连接。本申请通过将GOA驱动电路的各个GOA单元分别设置到像素区内，从而减小了边框尺寸，提高了屏占比。

